

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yuui SHIMIZU, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HEREWITH

FOR: MAGNETIC RANDOM ACCESS MEMORY

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. _____ Date Filed _____
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

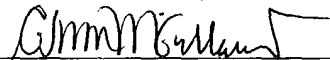
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-201128	July 10, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月10日

出願番号

Application Number:

特願2002-201128

[ST.10/C]:

[JP2002-201128]

出願人

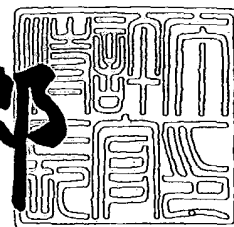
Applicant(s):

株式会社東芝

2002年12月27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3102591

【書類名】 特許願

【整理番号】 A000202442

【提出日】 平成14年 7月10日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00

【発明の名称】 磁気ランダムアクセスメモリ及びその駆動方法

【請求項の数】 25

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 清水 有威

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
浜事業所内

【氏名】 戸田 春希

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 磁気ランダムアクセスメモリ及びその駆動方法

【特許請求の範囲】

【請求項 1】

マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセルが配設されたメモリセルアレイと、
前記メモリセルアレイの各行に接続されたワード線と、
前記メモリセルアレイの各列に接続されたビット線と、
前記ワード線を選択するための行デコーダと、
前記ビット線を選択するための列デコーダと、
を具備し、複数のメモリセルに記憶された記憶データに基づいた電気的特性値を検出し、また、前記複数のメモリセルに基準データを連続的に書き込むと共に、前記複数のメモリセルに書き込まれた前記基準データを連続的に読み出すことにより前記基準データに基づいた電気的特性値を検出し、前記記憶データに基づいた電気的特性値と前記基準データに基づいた電気的特性値とを比較することにより、前記記憶データの値を判断することを特徴とする磁気ランダムアクセスメモリ。

【請求項 2】

外部からのクロックに同期して前記基準データの書き込み及び読み出しを行うことを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 3】

外部からのクロックに同期しないで前記基準データの書き込み及び読み出しを行うことを特徴とする請求項 1 に記載の磁気ランダムアクセスメモリ。

【請求項 4】

前記列デコーダに接続され且つ列アドレスストロブ信号を受信する列アドレスバッファを更に具備し、前記列アドレスストロブ信号の連続する複数の立下り毎に、複数の列アドレスの夫々を前記列アドレスバッファに取り込みながら、前記基準データの書き込み及び読み出しを行うことを特徴とする請求項 3 に記載の磁気ランダムアクセスメモリ。

【請求項 5】

前記列デコーダに接続され且つカウンタ機能を有し且つ列アドレスストロープ信号を受信する列アドレスバッファを更に具備し、前記カウンタ機能により、前記列アドレスストロープ信号の連続する複数の立下り毎に、最初に指定された列アドレスから列アドレス番号を増加させながら、前記基準データの書き込み及び読み出しを行うことを特徴とする請求項 3 に記載の磁気ランダムアクセスメモリ。

【請求項 6】

前記列デコーダに接続され且つ列アドレスストロープ信号を受信する列アドレスバッファを更に具備し、前記列アドレスストロープ信号を立ち下げた状態で、前記列アドレスバッファに送り込む列アドレスを変化させながら、前記基準データの書き込み及び読み出しを行うことを特徴とする請求項 3 に記載の磁気ランダムアクセスメモリ。

【請求項 7】

マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセルが配設されたメモリセルアレイと、
前記メモリセルアレイの各行に接続されたワード線と、
前記メモリセルアレイの各列に接続されたビット線と、
前記ワード線を選択するための行デコーダと、
前記ビット線を選択するための列デコーダと、
を具備し、データの書き込みは第 1 の任意の複数のメモリセルにデータを連続的に書き込むように設定されると共に、記憶データの読み出しは第 2 の任意の複数のメモリセルに記憶された記憶データを連続的に読み出すように設定されることを特徴とする磁気ランダムアクセスメモリ。

【請求項 8】

外部からのクロックに同期して前記データの書き込み及び前記記憶データの読み出しを行うことを特徴とする請求項 7 に記載の磁気ランダムアクセスメモリ。

【請求項 9】

外部からのクロックに同期しないで前記データの書き込み及び前記記憶データ

の読み出しを行うことを特徴とする請求項 7 に記載の磁気ランダムアクセスメモリ。

【請求項 1 0】

前記列デコーダに接続され且つ列アドレスストローブ信号を受信する列アドレスバッファを更に具備し、前記列アドレスストローブ信号の連続する複数の立下り毎に、複数の列アドレスの夫々を前記列アドレスバッファに取り込みながら、前記データの書き込み及び前記記憶データの読み出しを行うことを特徴とする請求項 9 に記載の磁気ランダムアクセスメモリ。

【請求項 1 1】

前記列デコーダに接続され且つカウンタ機能を有し且つ列アドレスストローブ信号を受信する列アドレスバッファを更に具備し、前記カウンタ機能により、前記列アドレスストローブ信号の連続する複数の立下り毎に、最初に指定された列アドレスから列アドレス番号を増加させながら、前記データの書き込み及び前記記憶データの読み出しを行うことを特徴とする請求項 9 に記載の磁気ランダムアクセスメモリ。

【請求項 1 2】

前記列デコーダに接続され且つ列アドレスストローブ信号を受信する列アドレスバッファを更に具備し、前記列アドレスストローブ信号を立ち下げた状態で、前記列アドレスバッファに送り込む列アドレスを変化させながら、前記データの書き込み及び前記記憶データの読み出しを行うことを特徴とする請求項 9 に記載の磁気ランダムアクセスメモリ。

【請求項 1 3】

前記行デコーダ及び前記列デコーダに供給するアドレス信号を生成する制御部を更に具備する請求項 1 乃至 1 2 のいずれかに記載の磁気ランダムアクセスメモリ。

【請求項 1 4】

マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセルが配設されたメモリセルアレイと、

前記メモリセルアレイの各行に接続されたワード線と、

前記メモリセルアレイの各列に接続されたビット線と、
前記ワード線を選択するための行デコーダと、
前記ビット線を選択するための列デコーダと、
を具備する磁気ランダムアクセスメモリの駆動方法であって、
複数のメモリセルに記憶された記憶データに基づいた電気的特性値を検出する
工程と、
前記複数のメモリセルに基準データを連続的に書き込む工程と、
前記複数のメモリセルに書き込まれた前記基準データを連続的に読み出すこと
により前記基準データに基づいた電気的特性値を検出する工程と、
前記記憶データに基づいた電気的特性値と前記基準データに基づいた電気的特
性値とを比較することにより、前記記憶データの値を判断する工程と、
を具備することを特徴とする磁気ランダムアクセスメモリの駆動方法。

【請求項15】

外部からのクロックに同期して前記基準データの書き込み及び読み出しを行う
ことを特徴とする請求項14に記載の磁気ランダムアクセスメモリの駆動方法。

【請求項16】

外部からのクロックに同期しないで前記基準データの書き込み及び読み出しを
行うことを特徴とする請求項14に記載の磁気ランダムアクセスメモリの駆動方
法。

【請求項17】

前記磁気ランダムアクセスメモリは、前記列デコーダに接続され且つ列アドレ
スストロブ信号を受信する列アドレスバッファを更に具備し、前記駆動方法に
おいて、前記列アドレスストロブ信号の連続する複数の立下り毎に、複数の列
アドレスの夫々を前記列アドレスバッファに取り込みながら、前記基準データの
書き込み及び読み出しを行うことを特徴とする請求項16に記載の磁気ランダム
アクセスメモリの駆動方法。

【請求項18】

前記磁気ランダムアクセスメモリは、前記列デコーダに接続され且つカウンタ
機能を有し且つ列アドレスストロブ信号を受信する列アドレスバッファを更に

具備し、前記駆動方法において、前記カウンタ機能により、前記列アドレスストロブ信号の連続する複数の立下り毎に、最初に指定された列アドレスから列アドレス番号を増加させながら、前記基準データの書き込み及び読み出しを行うことを特徴とする請求項 1 6 に記載の磁気ランダムアクセスメモリの駆動方法。

【請求項 1 9】

前記磁気ランダムアクセスメモリは、前記列デコーダに接続され且つ列アドレスストロブ信号を受信する列アドレスバッファを更に具備し、前記駆動方法において、前記列アドレスストロブ信号を立ち下げた状態で、前記列アドレスバッファに送り込む列アドレスを変化させながら、前記基準データの書き込み及び読み出しを行うことを特徴とする請求項 1 6 に記載の磁気ランダムアクセスメモリの駆動方法。

【請求項 2 0】

マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセルが配設されたメモリセルアレイと、

前記メモリセルアレイの各行に接続されたワード線と、

前記メモリセルアレイの各列に接続されたビット線と、

前記ワード線を選択するための行デコーダと、

前記ビット線を選択するための列デコーダと、

を具備する磁気ランダムアクセスメモリの駆動方法であって、

第 1 の任意の複数のメモリセルにデータを連続的に書き込むように設定されたデータの書き込みを実行する工程と、

第 2 の任意の複数のメモリセルに記憶された記憶データを連続的に読み出すように設定された記憶データの読み出しを実行する工程と、

を具備することを特徴とする磁気ランダムアクセスメモリの駆動方法。

【請求項 2 1】

外部からのクロックに同期して前記データの書き込み及び前記記憶データの読み出しを行うことを特徴とする請求項 2 0 に記載の磁気ランダムアクセスメモリの駆動方法。

【請求項 2 2】

外部からのクロックに同期しないで前記データの書き込み及び前記記憶データの読み出しを行うことを特徴とする請求項20に記載の磁気ランダムアクセスメモリの駆動方法。

【請求項23】

前記磁気ランダムアクセスメモリは、前記列デコーダに接続され且つ列アドレスストロブ信号を受信する列アドレスバッファを更に具備し、前記駆動方法において、前記列アドレスストロブ信号の連続する複数の立下り毎に、複数の列アドレスの夫々を前記列アドレスバッファに取り込みながら、前記データの書き込み及び前記記憶データの読み出しを行うことを特徴とする請求項22に記載の磁気ランダムアクセスメモリの駆動方法。

【請求項24】

前記磁気ランダムアクセスメモリは、前記列デコーダに接続され且つカウンタ機能を有し且つ列アドレスストロブ信号を受信する列アドレスバッファを更に具備し、前記駆動方法において、前記カウンタ機能により、前記列アドレスストロブ信号の連続する複数の立下り毎に、最初に指定された列アドレスから列アドレス番号を増加させながら、前記データの書き込み及び前記記憶データの読み出しを行うことを特徴とする請求項22に記載の磁気ランダムアクセスメモリの駆動方法。

【請求項25】

前記磁気ランダムアクセスメモリは、前記列デコーダに接続され且つ列アドレスストロブ信号を受信する列アドレスバッファを更に具備し、前記駆動方法において、前記列アドレスストロブ信号を立ち下げた状態で、前記列アドレスバッファに送り込む列アドレスを変化させながら、前記データの書き込み及び前記記憶データの読み出しを行うことを特徴とする請求項22に記載の磁気ランダムアクセスメモリの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、トンネル磁気抵抗（TMR：Tunneling Magneto Resistive）効果

を利用した不揮発メモリである磁気ランダムアクセスメモリ (MRAM: Magnetic Random Access Memory) 及びその駆動方法に関し、特にその書き込み、読み出しのシーケンスに関する。

【0002】

【従来の技術】

MRAMは、トンネル磁気抵抗効果を利用して、“1”及び“0”の2つの情報を記憶させることでメモリ動作をさせるデバイスである。MRAMは、不揮発性、高集積化、高耐久性、高速動作といった高いポテンシャルを有する。このため、MRAMは、従来のDRAMやEEPROMといった既存のデバイスを置き換える可能性をもっており、理想的なデバイスとして期待されている。

【0003】

MRAMでは、金属磁性体及び絶縁体からなる積層膜における、スピン偏極トンネル効果による磁気抵抗変化を利用したTMR素子を使用する。MRAMには、いくつかのメモリセルが提案されており、代表的には、1つのTMR素子にトランジスタを直列に入れてセルの選択性を持たせたもの (ISSCC 2000TA7.2, ISSCC 2000TA7.3) (図19参照)、クロスポイント型にしたもの (図20参照) 等がある。

【0004】

TMR素子は、絶縁膜を2つの導電性の磁性体膜で挟んだ構成をなす。この絶縁膜をはさむ2つの磁性体のスピンの向きが互いに平行になるか、反平行になるかで2つの状態が作り出される。つまり、2つの磁性体膜の磁化方向が同じ場合、絶縁膜をトンネルして流れる電流の大きさは、2つの磁性体膜の磁化の方向が反対の場合に比べて大きい。更に言い換えれば、2つの磁性体膜の磁化の方向を反対にすることにより、2つの磁性体膜の磁化方向が同じ場合に比べて、2つの導電性磁性体膜間の抵抗値を大きくすることができる。故に、この抵抗値の違いが大きい程、信号を読み出す際には好ましいことになる。メモリセルからの情報の読み出しは、絶縁膜を通して2つの磁性体膜を流れる電流を検知する若しくは電流値を電圧に変換して検知することにより行われる。

【0005】

メモリセルへの情報の書き込みに関し、通常2つの磁性体膜のうちどちらか一方は、その磁化の方向が固定されており外部の磁界の影響を受けないようになっている。磁化の方向が固定された磁性体膜はピン層と呼ばれる。もう一方の磁性体膜は、印加される磁界によって磁化方向がピン層と同一方向になるかまたは反対方向になる。磁化の方向が変わる磁性体膜はフリー層と呼ばれる。

【0006】

フリー層の磁化方向の変更は、夫々のメモリセルを通過しているビット線及び書き込みワード線に流れる電流によって発生する磁界により行われる。このとき、ビット線、ワード線には、夫々磁化が変化するのに必要な電流量の半分の量の電流が流される。これにより、非選択メモリセルが誤って書き換えられないようになる(USP 6,081,445)。

【0007】

【発明が解決しようとする課題】

MRAMメモリセルから情報を読み出すとき、数百mV程度の小さな電圧をメモリセルに印加して流れる電流を検知する。メモリセルに印加する電圧があまり大きいと、十分なMR (Magneto-resistance) 比が得られないという制約があり、印加電圧は必要以上に上げることはできない。

【0008】

一方、メモリセルの情報を書き換えるとき、書き換えに必要な磁界を発生させるため、ビット線、書き込みワード線に、夫々数十mA若しくは数mA程度の比較的大きな電流を流す必要がある。そのため、この動作によりチップ内においてIRドロップ(電圧ドロップ)が発生し、チップ内の電源ライン及びグラウンドラインがある一定時間、揺らぎ(disturbance)を受けるものと考えられる。

【0009】

そのため、メモリセルに書き込みを行った後に読み出しを行う際、誤読み出しを避けるため、この電源ライン及びグラウンドラインの変動がある程度収まるまで待つて動作を開始する必要がある。それ故、例えば、ライト/リード/ライト/リード/…といった、書き込みと読み出しを繰り返すようなシーケンスで動作を実行すると、リードの前に毎回待ち時間を挿入することになり、効率的とはいえ

ない。

【0010】

本発明は、かかる従来技術の問題点に鑑みてなされたものであり、メモリセルへの書き込みと読み出しとを含むシーケンスを最適化することにより、全体的に必要な動作時間を短縮することが可能な磁気ランダムアクセスメモリ及びその駆動方法を提供することを目的とするものである。

【0011】

【課題を解決するための手段】

本発明の第1の視点は、磁気ランダムアクセスメモリであって、
マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセルが配設されたメモリセルアレイと、
前記メモリセルアレイの各行に接続されたワード線と、
前記メモリセルアレイの各列に接続されたビット線と、
前記ワード線を選択するための行デコーダと、
前記ビット線を選択するための列デコーダと、
を具備し、複数のメモリセルに記憶された記憶データに基づいた電気的特性値を検出し、また、前記複数のメモリセルに基準データを連続的に書き込むと共に、前記複数のメモリセルに書き込まれた前記基準データを連続的に読み出すことにより前記基準データに基づいた電気的特性値を検出し、前記記憶データに基づいた電気的特性値と前記基準データに基づいた電気的特性値とを比較することにより、前記記憶データの値を判断することを特徴とする。

【0012】

本発明の第2の視点は、磁気ランダムアクセスメモリであって、
マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセルが配設されたメモリセルアレイと、
前記メモリセルアレイの各行に接続されたワード線と、
前記メモリセルアレイの各列に接続されたビット線と、
前記ワード線を選択するための行デコーダと、
前記ビット線を選択するための列デコーダと、

を具備し、データの書き込みは第 1 の任意の複数のメモリセルにデータを連続的に書き込むように設定されると共に、記憶データの読み出しは第 2 の任意の複数のメモリセルに記憶された記憶データを連続的に読み出すように設定されることを特徴とする。

【 0 0 1 3 】

本発明の第 3 の視点は、
 マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセルが配設されたメモリセルアレイと、
 前記メモリセルアレイの各行に接続されたワード線と、
 前記メモリセルアレイの各列に接続されたビット線と、
 前記ワード線を選択するための行デコーダと、
 前記ビット線を選択するための列デコーダと、
 を具備する磁気ランダムアクセスメモリの駆動方法であって、
 複数のメモリセルに記憶された記憶データに基づいた電気的特性値を検出する工程と、
 前記複数のメモリセルに基準データを連続的に書き込む工程と、
 前記複数のメモリセルに書き込まれた前記基準データを連続的に読み出すことにより前記基準データに基づいた電気的特性値を検出する工程と、
 前記記憶データに基づいた電気的特性値と前記基準データに基づいた電気的特性値とを比較することにより、前記記憶データの値を判断する工程と、
 を具備することを特徴とする。

【 0 0 1 4 】

本発明の第 4 の視点は、
 マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセルが配設されたメモリセルアレイと、
 前記メモリセルアレイの各行に接続されたワード線と、
 前記メモリセルアレイの各列に接続されたビット線と、
 前記ワード線を選択するための行デコーダと、
 前記ビット線を選択するための列デコーダと、

を具備する磁気ランダムアクセスメモリの駆動方法であって、

第1の任意の複数のメモリセルにデータを連続的に書き込むように設定されたデータの書き込みを実行する工程と、

第2の任意の複数のメモリセルに記憶された記憶データを連続的に読み出すように設定された記憶データの読み出しを実行する工程と、
を具備することを特徴とする。

【0015】

更に、本発明の実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【0016】

【発明の実施の形態】

本発明の実施の形態について図面を参照して以下に説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0017】

図19及び図20は、下記の各実施の形態に共通して使用可能な、MRAMメモリセルの異なる代表的な構造例を示す図である。

【0018】

図19図示のMRAMメモリセルにおいては、1つのTMR素子1に対して選択用のn型トランジスタ2が直列に接続される。更に、図19図示のように、ワード線4及びビット線5に加えて、書き込みワード線3が配設される。

【0019】

一方、図20図示のMRAMメモリセルはクロスポイント型の構造を有する。この場合、ワード線7及びビット線8の各交点において、これ等に挟まれるように1つのTMR素子6が配設される。

【0020】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態に係る M R A M を示すブロック図である。
この M R A M は同期型のメモリチップ構成を有する。

【 0 0 2 1 】

この M R A M は、マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセル 2 4 が配設されたメモリセルアレイ 2 1 を有する。メモリセルアレイ 2 1 の各行にワード線 2 2 が接続され、メモリセルアレイ 2 1 の各列にビット線 2 3 が接続される。ワード線 2 2 を選択するため、行アドレスバッファ 1 1、行デコーダ 1 3、1 5、及び行ドライバ 1 4、1 6 が配設される。ビット線 2 3 を選択するため、列アドレスバッファ 1 2、列デコーダ 1 7、及び列ドライバ 1 8 が配設される。また、ビット線 2 3 には、後述するような態様で自己リファレンスにより記憶データの読み出しを行うためのセンス回路 1 9 が接続される。センス回路 1 9 は、A / D コンバータ 2 5、データバッファ 2 6、“1” データバッファ 2 7、“0” データバッファ 2 8、及びコンパレータ 2 9 等を含む。

【 0 0 2 2 】

行アドレスバッファ 1 1 及び列アドレスバッファ 1 2 は、アドレス信号及びデータ信号等を生成する制御部 C S 1 に接続される。制御部 C S 1 は、メモリセルアレイ 2 1 等と同一基板上に混載されるか、或いはメモリセルアレイ 2 1 等とは別の素子として形成される。制御部 C S 1 からのアドレス信号は、一旦、行アドレスバッファ 1 1 及び列アドレスバッファ 1 2 に夫々ラッチされる。読み出し時は、ラッチされたアドレス信号に基づいて、行デコーダ 1 3 及び列デコーダ 1 7 で行及び列が夫々選択される。書き込み時は、対象メモリセル 2 4 のアドレスのビット線 2 3 に列ドライバ 1 8 から電流が流され、同時に対象メモリセル 2 4 のアドレスに相当するワード線 2 2 に、左右の行ドライバ 1 4、1 6 から、書き込む情報に応じた電流が印加される。

【 0 0 2 3 】

本実施の形態に係る M R A M おいては、記憶データを読み出す手法として自己リファレンスによる読み出しが採用される。図 2 は、自己リファレンスにより記

憶データの読み出しを行う際のフローを示す図である。

【0024】

まず、読み出し対象のアドレスに位置する対象メモリセル24に記憶された記憶データに基づいた電気的特性値が検出され、データバッファ26に格納される（工程S1）。次に、同対象メモリセル24に“1”データが書き込まれる（工程S2）。次に、同対象メモリセル24に書き込まれた“1”データが読み出されることにより“1”データに基づいた電気的特性値が検出され、“1”データバッファ27に格納される（工程S3）。

【0025】

次に、同対象メモリセル24に“0”データが書き込まれる（工程S4）。次に、同対象メモリセル24に書き込まれた“0”データが読み出されることにより“0”データに基づいた電気的特性値が検出され、“0”データバッファ28に格納される（工程S5）。最後に、データバッファ26に格納された記憶データに基づいた電気的特性値と、“1”データバッファ27及び“0”データバッファ28に格納された“1”データ及び“0”データに夫々基づいた電気的特性値とが比較され、記憶データの値が判断される（工程S6）。

【0026】

具体的には、データに基づいた電気的特性値は、メモリセル24の磁気抵抗効果素子の抵抗値に基づく。データに基づいた抵抗値は、A/D変換され、そのデジタル値がデータバッファ26、27、28に格納される。

【0027】

なお、自己リファレンスにより記憶データの読み出しを行うためには、基準データとして使用される“1”データ及び“0”データのいずれか一方に基づいた電気的特性値があればよい。この基準データに基づいた電気的特性値と、記憶データに基づいた電気的特性値とを比較することにより、記憶データの値が“1”及び“0”のいずれであるかを判断することができる。即ち、上記のフローにおいて、工程S2及びS3の組と、工程S4及びS5の組のいずれか一方の組は省略することができる。

【0028】

図3は、第1の実施の形態の比較例に係るMRAMの駆動方法を示すタイミング図である。図4は、第1の実施の形態に係るMRAMの駆動方法を示すタイミング図である。図3及び図4図示のように、これ等の駆動方法においては、外部からのクロックに同期してデータの書き込み及び読み出しが行われる。図5(a)、(b)は、夫々図3及び図4図示の駆動方法を簡素化した動作シーケンスを示す図である。図3乃至図5中、 t_{RI} は読み出し禁止時間を示す。読み出し禁止時間(t_{RI})を設ける理由は、書き込み後に読み出しをする際、書き込み電流による電源ライン及びグラウンドラインの揺らぎ(disturbance)の影響により、誤読み出しが生じるのを避けるためである。

【0029】

図3図示の比較例の駆動方法においては、1ビットずつ自己リファレンスにより記憶データの読み出しが行われる。この場合、各基準データ(自己リファレンスの基準となる“1”データ及び“0”データ)の読み出しの前に、読み出し禁止時間(t_{RI})を設ける必要が生じる。

【0030】

これに対して、図4図示の第1の実施の形態に係る駆動方法においては、複数(ここでは4個)のビットに対して纏めて自己リファレンスにより記憶データの読み出しが行われる。即ち、ここでは、複数のアドレス分の情報が纏めて連続的に処理される。これにより、読み出し禁止時間(t_{RI})を入れる回数を少なくし、全体として読み出し動作に必要な時間を短縮することができる。なお、纏めて連続的に処理されるメモリセルのアドレスは、図4に示すように、連続番号のアドレスであってもよいし、或いは不連続番号のアドレスであってもよい。

【0031】

図4図示の駆動方法は、図2図示のフローに沿って説明すると、次のようなものとなる。まず、複数のメモリセルに記憶された記憶データに基づいた電気的特性値が検出される(工程S1)。次に、これ等の複数のメモリセルに基準データが連続的に書き込まれる(工程S2及び/または工程S4)。次に、これ等の複数のメモリセルに書き込まれた基準データが連続的に読み出されることにより基準データに基づいた電気的特性値が検出される(工程S3及び/または工程S5)。

）。次に、記憶データに基づいた電気的特性値と基準データに基づいた電気的特性値とが比較され、記憶データの値が判断される（工程 S 6）。

【 0 0 3 2 】

（第 2 の実施の形態）

図 6 は、本発明の第 2 の実施の形態に係る M R A M を示すブロック図である。この M R A M は非同期型のメモリチップ構成を有する。

【 0 0 3 3 】

この M R A M は、マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセル 4 4 が配設されたメモリセルアレイ 4 1 を有する。メモリセルアレイ 4 1 の各行にワード線 4 2 が接続され、メモリセルアレイ 4 1 の各列にビット線 4 3 が接続される。ワード線 4 2 を選択するため、行アドレスバッファ 3 1、行デコーダ 3 3、3 5、及び行ドライバ 3 4、3 6 が配設される。ビット線 4 3 を選択するため、列アドレスバッファ 3 2、列デコーダ 3 7、及び列ドライバ 3 8 が配設される。また、ビット線 4 3 には、自己リファレンスにより記憶データの読み出しを行うためのセンス回路 3 9 が接続される。センス回路 3 9 は、A / D コンバータ 4 5、データバッファ 4 6、“1”データバッファ 4 7、“0”データバッファ 4 8、及びコンパレータ 4 9 等を含む。

【 0 0 3 4 】

行アドレスバッファ 3 1 及び列アドレスバッファ 3 2 は、R A S (Row Address Strobe) 信号、C A S (Column Address Strobe) 信号、アドレス信号、及びデータ信号等を生成する制御部 C S 2 に接続される。制御部 C S 2 は、メモリセルアレイ 4 1 等と同一基板上に混載されるか、或いはメモリセルアレイ 4 1 等とは別の素子として形成される。制御部 C S 2 からのアドレス信号は、R A S 信号により行アドレスバッファ 3 1 にラッチされる一方、C A S 信号により列アドレスバッファ 3 2 に夫々ラッチされる。読み出し時は、ラッチされたアドレス信号に基づいて、行デコーダ 3 3 及び列デコーダ 3 7 で行及び列が夫々選択される。書き込み時は、対象メモリセル 4 4 のアドレスのビット線 4 3 に列ドライバ 3 8 から電流が流され、同時に対象メモリセル 4 4 のアドレスに相当するワード線 4 2 に、左右の行ドライバ 3 4、3 6 から、書き込む情報に応じた電流が印加され

る。

【 0 0 3 5 】

本実施の形態に係るMRAMにおいても、記憶データを読み出す手法として、図2図示の自己リファレンスによる読み出しが採用される。図7は、第2の実施の形態の比較例に係るMRAMの駆動方法を示すタイミング図である。図8は、第2の実施の形態に係るMRAMの駆動方法を示すタイミング図である。図7及び図8図示のように、これ等の駆動方法においては、外部からのクロックに同期しないでデータの書き込み及び読み出しが行われる。図7及び図8中、 t_{RI} は読み出し禁止時間を示し、 t_{WI} は書き込み禁止時間を示す。読み出し禁止時間（ t_{RI} ）を設ける理由は前述の通りである。書き込み禁止時間（ t_{WI} ）を設ける理由は、読み出し後に書き込みをする際、書き込み電流による電源ライン及びグラウンドラインの揺らぎ（disturbance）の影響により、誤読み出しが生じるのを避けるためである。

【 0 0 3 6 】

図7図示の比較例の駆動方法においては、1ビットずつ自己リファレンスにより記憶データの読み出しが行われる。この場合、各基準データ（自己リファレンスの基準となる“1”データ及び“0”データ）の読み出しの前に、読み出し禁止時間（ t_{RI} ）を設ける必要が生じる。また、各基準データの書き込みの前に、書き込み禁止時間（ t_{WI} ）を設ける必要が生じる。

【 0 0 3 7 】

これに対して、図8図示の第2の実施の形態に係る駆動方法においては、同一ワード線上の複数（ここでは4個）のビットに対して纏めて自己リファレンスにより記憶データの読み出しが行われる。即ち、ここでは、複数のアドレス分の情報が纏めて連続的に処理される。これにより、読み出し禁止時間（ t_{RI} ）及び書き込み禁止時間（ t_{WI} ）を入れる回数を少なくし、全体として読み出し動作に必要な時間を短縮することができる。

【 0 0 3 8 】

具体的には、夫々RAS信号を立ち下げた状態で行われる各基準データ（自己リファレンスの基準となる“1”データ及び“0”データ）の書き込み及び読み

出しにおいて、C A S 信号の連続する複数の立下り毎に、複数の列アドレスの夫々が列アドレスバッファ 3 2 に取り込まれる。なお、纏めて連続的に処理されるメモリセルのアドレスは、図 8 に示すように、連続番号のアドレスであってもよいし、或いは不連続番号のアドレスであってもよい。

【 0 0 3 9 】

(第 3 の実施の形態)

本発明の第 3 の実施の形態に係る M R A M を示すブロック図は、図 6 に示すものと同一である。但し、列アドレスバッファ 3 2 には、図 6 中に破線で示すように、列アドレス番号をインクリメント（増加）するためのカウンタ 3 2 c が配設される。本実施の形態に係る M R A M おいても、記憶データを読み出す手法として、図 2 図示の自己リファレンスによる読み出しが採用される。図 9 は、第 3 の実施の形態に係る M R A M の駆動方法を示すタイミング図である。図 9 図示のように、この駆動方法においても、外部からのクロックに同期しないでデータの書き込み及び読み出しが行われる。

【 0 0 4 0 】

図 9 図示の第 3 の実施の形態に係る駆動方法においては、同一ワード線上に連続して並ぶ複数（ここでは 4 個）のビットに対して纏めて自己リファレンスにより記憶データの読み出しが行われる。即ち、ここでは、連続番号の複数のアドレス分の情報が纏めて連続的に処理される。これにより、読み出し禁止時間（ t_{RI} ）及び書き込み禁止時間（ t_{WI} ）を入れる回数を少なくし、全体として読み出し動作に必要な時間を短縮することができる。

【 0 0 4 1 】

具体的には、夫々 R A S 信号を立ち下げた状態で行われる各基準データ（自己リファレンスの基準となる“1”データ及び“0”データ）の書き込み及び読み出しにおいて、列アドレスバッファ 3 2 のカウンタ機能により、C A S 信号の連続する複数の立下り毎に、最初に指定された列アドレスから列アドレス番号がインクリメント（増加）される。

【 0 0 4 2 】

(第 4 の実施の形態)

本発明の第4の実施の形態に係るMRAMを示すブロック図は、図6に示すものと同一である。本実施の形態に係るMRAMにおいても、記憶データを読み出す手法として、図2図示の自己リファレンスによる読み出しが採用される。図10は、第4の実施の形態に係るMRAMの駆動方法を示すタイミング図である。図10図示のように、この駆動方法においても、外部からのクロックに同期しないでデータの書き込み及び読み出しが行われる。

【0043】

図10図示の第4の実施の形態に係る駆動方法においては、同一ワード線上の複数（ここでは4個）のビットに対して纏めて自己リファレンスにより記憶データの読み出しが行われる。即ち、ここでは、複数のアドレス分の情報が纏めて連続的に処理される。これにより、読み出し禁止時間（ t_{RI} ）及び書き込み禁止時間（ t_{WI} ）を入れる回数を少なくし、全体として読み出し動作に必要な時間を短縮することができる。

【0044】

具体的には、夫々RAS信号を立ち下げた状態で行われる各基準データ（自己リファレンスの基準となる“1”データ及び“0”データ）の書き込み及び読み出しにおいて、CAS信号を立ち下げた状態で、制御部CS2で生成され且つ列アドレスバッファ32に送り込まれる列アドレスが連続的に変化する。なお、纏めて連続的に処理されるメモリセルのアドレスは、図10に示すように、連続番号のアドレスであってもよいし、或いは不連続番号のアドレスであってもよい。

【0045】

（第5の実施の形態）

図11は、本発明の第5の実施の形態に係るMRAMを示すブロック図である。このMRAMは同期型のメモリチップ構成を有する。

【0046】

このMRAMは、マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセル64が配設されたメモリセルアレイ61を有する。メモリセルアレイ61の各行にワード線62が接続され、メモリセルアレイ61の各列にビット線63が接続される。ワード線62を選択するため、行アドレス

バッファ 5 1、行デコーダ 5 3、5 5、及び行ドライバ 5 4、5 6 が配設される。ビット線 6 3 を選択するため、列アドレスバッファ 5 2、列デコーダ 5 7、及び列ドライバ 5 8 が配設される。また、記憶データの読み出しを行うため、ビット線 6 3 には、センスアンプ 5 9 及びサブセンスアンプ 6 0 が接続される。

【 0 0 4 7 】

行アドレスバッファ 5 1 及び列アドレスバッファ 5 2 は、アドレス信号及びデータ信号等を生成する制御部 C S 3 に接続される。制御部 C S 3 は、メモリセルアレイ 6 1 等と同一基板上に混載されるか、或いはメモリセルアレイ 6 1 等とは別の素子として形成される。制御部 C S 3 からのアドレス信号は、一旦、行アドレスバッファ 5 1 及び列アドレスバッファ 5 2 に夫々ラッチされる。読み出し時は、ラッチされたアドレス信号に基づいて、行デコーダ 5 3 及び列デコーダ 5 7 で行及び列が夫々選択される。書き込み時は、対象メモリセル 6 4 のアドレスのビット線 6 3 に列ドライバ 5 8 から電流が流され、同時に対象メモリセル 6 4 のアドレスに相当するワード線 6 2 に、左右の行ドライバ 5 4、5 6 から、書き込む情報に応じた電流が印加される。

【 0 0 4 8 】

図 1 2 は、第 5 の実施の形態の比較例に係る M R A M の駆動方法を示すタイミング図である。図 1 3 は、第 5 の実施の形態に係る M R A M の駆動方法を示すタイミング図である。図 1 2 及び図 1 3 図示のように、これ等の駆動方法においては、外部からのクロックに同期してデータの書き込み及び読み出しが行われる。図 1 2 及び図 1 3 中、 t_{RI} は読み出し禁止時間を示し、 t_{WI} は書き込み禁止時間を示す。読み出し禁止時間 (t_{RI}) 及び書き込み禁止時間 (t_{WI}) を設ける理由は前述の通りである。

【 0 0 4 9 】

図 1 2 図示の比較例の駆動方法においては、データの書き込み及び記憶データの読み出しが 1 ビットずつ行われる。この場合、各データの書き込みの前に書き込み禁止時間 (t_{WI}) を設けると共に、各記憶データの読み出しの前に読み出し禁止時間 (t_{RI}) を設ける必要が生じる。

【 0 0 5 0 】

これに対して、図13図示の第5の実施の形態に係る駆動方法においては、データの書き込み及び記憶データの読み出しが、複数（ここでは4個）のビットに対して連続的に行われる。即ち、ここでは、複数のアドレス分の情報が纏めて連続的に処理される。換言すれば、データの書き込みは第1の任意の複数のメモリセルにデータを連続的に書き込むように設定されると共に、記憶データの読み出しは第2の任意の複数のメモリセルに記憶された記憶データを連続的に読み出すように設定される。これにより、読み出し禁止時間（ t_{RI} ）及び書き込み禁止時間（ t_{WI} ）を入れる回数を少なくし、全体として書き込み及び読み出し動作に必要な時間を短縮することができる。

【0051】

具体的には、制御部CS3でメモリ制御信号Smcが生成され、この信号Smcに各モードにおいて連続して処理されるデータ数の情報を持たせる。更に、各モードには、連続して書き込み若しくは読み出しが行われるビット数を設定する機能を持たせる。これにより、MRAMの動作を制御することができる。なお、纏めて連続的に処理されるメモリセルのアドレスは、図13に示すように、連続番号のアドレスであってもよいし、或いは不連続番号のアドレスであってもよい。また、データが書き込まれるアドレスと、記憶データが読み出されるアドレスとは、別であってもよいし、或いは同じであってもよい。

【0052】

（第6の実施の形態）

図14は、本発明の第6の実施の形態に係るMRAMを示すブロック図である。このMRAMは非同期型のメモリチップ構成を有する。

【0053】

このMRAMは、マトリクス状に配置されたアドレス毎に、磁気抵抗効果素子を記憶素子とするメモリセル84が配設されたメモリセルアレイ81を有する。メモリセルアレイ81の各行にワード線82が接続され、メモリセルアレイ81の各列にビット線83が接続される。ワード線82を選択するため、行アドレスバッファ71、行デコーダ73、75、及び行ドライバ74、76が配設される。ビット線83を選択するため、列アドレスバッファ72、列デコーダ77、及

び列ドライバ78が配設される。また、記憶データの読み出しを行うため、ビット線83には、センスアンプ79及びサブセンスアンプ80が接続される。

【0054】

行アドレスバッファ71及び列アドレスバッファ72は、RAS (Row Address Strobe) 信号、CAS (Column Address Strobe) 信号、アドレス信号、及びデータ信号等を生成する制御部CS4に接続される。制御部CS4は、メモリセルアレイ81等と同一基板上に混載されるか、或いはメモリセルアレイ81等とは別の素子として形成される。制御部CS4からのアドレス信号は、RAS信号により行アドレスバッファ71にラッチされる一方、CAS信号により列アドレスバッファ72に夫々ラッチされる。読み出し時は、ラッチされたアドレス信号に基づいて、行デコーダ73及び列デコーダ77で行及び列が夫々選択される。書き込み時は、対象メモリセル84のアドレスのビット線83に列ドライバ78から電流が流され、同時に対象メモリセル84のアドレスに相当するワード線82に、左右の行ドライバ74、76から、書き込む情報に応じた電流が印加される。

【0055】

図15は、第6の実施の形態の比較例に係るMRAMの駆動方法を示すタイミング図である。図16は、第6の実施の形態に係るMRAMの駆動方法を示すタイミング図である。図15及び図16図示のように、これ等の駆動方法においては、外部からのクロックに同期しないでデータの書き込み及び読み出しが行われる。図15及び図16中、 t_{RI} は読み出し禁止時間を示し、 t_{WI} は書き込み禁止時間を示す。読み出し禁止時間(t_{RI})及び書き込み禁止時間(t_{WI})を設ける理由は前述の通りである。

【0056】

図15図示の比較例の駆動方法においては、データの書き込み及び記憶データの読み出しが1ビットずつ行われる。この場合、各データの書き込みの前に書き込み禁止時間(t_{WI})を設けると共に、各記憶データの読み出しの前に読み出し禁止時間(t_{RI})を設ける必要が生じる。

【0057】

これに対して、図 1 6 図示の第 5 の実施の形態に係る駆動方法においては、データの書き込み及び記憶データの読み出しが、同一ワード線上の複数（ここでは 4 個）のビットに対して連続的に行われる。即ち、ここでは、複数のアドレス分の情報が纏めて連続的に処理される。これにより、読み出し禁止時間（ t_{RI} ）及び書き込み禁止時間（ t_{WI} ）を入れる回数を少なくし、全体として書き込み及び読み出し動作に必要な時間を短縮することができる。

【 0 0 5 8 】

具体的には、夫々 R A S 信号を立ち下げた状態で行われるデータの書き込み及び記憶データの読み出しにおいて、C A S 信号の連続する複数の立下り毎に、複数の列アドレスの夫々が列アドレスバッファ 7 2 に取り込まれる。なお、纏めて連続的に処理されるメモリセルのアドレスは、図 1 6 に示すように、連続番号のアドレスであってもよいし、或いは不連続番号のアドレスであってもよい。また、データが書き込まれるアドレスと、記憶データが読み出されるアドレスとは、別であってもよいし、或いは同じであってもよい。

【 0 0 5 9 】

（第 7 の実施の形態）

本発明の第 7 の実施の形態に係る M R A M を示すブロック図は、図 1 4 に示すものと同一である。但し、列アドレスバッファ 7 2 には、図 1 4 中に破線で示すように、列アドレス番号をインクリメント（増加）するためのカウンタ 7 2 c が配設される。図 1 7 は、第 7 の実施の形態に係る M R A M の駆動方法を示すタイミング図である。図 1 7 図示のように、この駆動方法においても、外部からのクロックに同期しないでデータの書き込み及び読み出しが行われる。

【 0 0 6 0 】

図 1 7 図示の第 7 の実施の形態に係る駆動方法においては、データの書き込み及び記憶データの読み出しが、同一ワード線上に連続して並ぶ複数（ここでは 4 個）のビットに対して連続的に行われる。即ち、ここでは、連続番号の複数のアドレス分の情報が纏めて連続的に処理される。これにより、読み出し禁止時間（ t_{RI} ）及び書き込み禁止時間（ t_{WI} ）を入れる回数を少なくし、全体として書き込み及び読み出し動作に必要な時間を短縮することができる。

【 0 0 6 1 】

具体的には、夫々 R A S 信号を立ち下げた状態で行われるデータの書き込み及び記憶データの読み出しにおいて、列アドレスバッファ 7 2 のカウンタ機能により、C A S 信号の連続する複数の立下り毎に、最初に指定された列アドレスから列アドレス番号がインクリメント（増加）される。なお、データが書き込まれるアドレスと、記憶データが読み出されるアドレスとは、別であってもよいし、或いは同じであってもよい。

【 0 0 6 2 】

（第 8 の実施の形態）

本発明の第 8 の実施の形態に係る M R A M を示すブロック図は、図 1 4 に示すものと同一である。図 1 8 は、第 8 の実施の形態に係る M R A M の駆動方法を示すタイミング図である。図 1 8 図示のように、この駆動方法においても、外部からのクロックに同期しないでデータの書き込み及び読み出しが行われる。

【 0 0 6 3 】

図 1 8 図示の第 8 の実施の形態に係る駆動方法においては、データの書き込み及び記憶データの読み出しが、同一ワード線上の複数（ここでは 4 個）のビットに対して連続的に行われる。即ち、ここでは、複数のアドレス分の情報が纏めて連続的に処理される。これにより、読み出し禁止時間（ t_{RI} ）及び書き込み禁止時間（ t_{WI} ）を入れる回数を少なくし、全体として書き込み及び読み出し動作に必要な時間を短縮することができる。

【 0 0 6 4 】

具体的には、夫々 R A S 信号を立ち下げた状態で行われるデータの書き込み及び記憶データの読み出しにおいて、C A S 信号を立ち下げた状態で、制御部 C S 4 で生成され且つ列アドレスバッファ 7 2 に送り込まれる列アドレスが連続的に変化する。なお、纏めて連続的に処理されるメモリセルのアドレスは、図 1 8 に示すように、連続番号のアドレスであってもよいし、或いは不連続番号のアドレスであってもよい。また、データが書き込まれるアドレスと、記憶データが読み出されるアドレスとは、別であってもよいし、或いは同じであってもよい。

【 0 0 6 5 】

【発明の効果】

本発明によれば、メモリセルへの書き込みと読み出しとを含むシーケンスを最適化することにより、全体的に必要な動作時間を短縮することが可能な磁気ランダムアクセスメモリ及びその駆動方法を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る MRAM を示すブロック図。

【図 2】

自己リファレンスにより記憶データの読み出しを行う際のフローを示す図。

【図 3】

第 1 の実施の形態の比較例に係る MRAM の駆動方法を示すタイミング図。

【図 4】

第 1 の実施の形態に係る MRAM の駆動方法を示すタイミング図。

【図 5】

(a)、(b) は、夫々図 3 及び図 4 図示の駆動方法を簡素化した動作シーケンスを示す図。

【図 6】

本発明の第 2 の実施の形態に係る MRAM を示すブロック図。

【図 7】

第 2 の実施の形態の比較例に係る MRAM の駆動方法を示すタイミング図。

【図 8】

第 2 の実施の形態に係る MRAM の駆動方法を示すタイミング図。

【図 9】

本発明の第 3 の実施の形態に係る MRAM の駆動方法を示すタイミング図。

【図 10】

本発明の第 4 の実施の形態に係る MRAM の駆動方法を示すタイミング図。

【図 11】

本発明の第 5 の実施の形態に係る MRAM を示すブロック図。

【図 12】

第 5 の実施の形態の比較例に係る M R A M の駆動方法を示すタイミング図。

【図 1 3】

第 5 の実施の形態に係る M R A M の駆動方法を示すタイミング図。

【図 1 4】

本発明の第 6 の実施の形態に係る M R A M を示すブロック図。

【図 1 5】

第 6 の実施の形態の比較例に係る M R A M の駆動方法を示すタイミング図。

【図 1 6】

第 6 の実施の形態に係る M R A M の駆動方法を示すタイミング図。

【図 1 7】

本発明の第 7 の実施の形態に係る M R A M の駆動方法を示すタイミング図。

【図 1 8】

本発明の第 8 の実施の形態に係る M R A M の駆動方法を示すタイミング図。

【図 1 9】

各実施の形態に共通して使用可能な、M R A M メモリセルの代表的な構造例を示す図。

【図 2 0】

各実施の形態に共通して使用可能な、M R A M メモリセルの代表的な別の構造例を示す図。

【符号の説明】

1 … T M R 素子

2 … n 型トランジスタ

3 … 書き込みワード線

4 … ワード線

5 … ビット線

6 … T M R 素子

7 … ワード線

8 … ビット線

1 1、3 1、5 1、7 1 … 行アドレスバッファ

12、32、52、72…列アドレスバッファ

32c、72c…カウンタ

13、15、33、35、53、55、73、75…行デコーダ

14、16、34、36、54、56、74、76…行ドライバ

17、37、57、77…列デコーダ

18、38、58、78…列ドライバ

19、39…センス回路

21、41、61、81…MRAMメモリセルアレイ

22、42、62、82…ワード線

23、43、63、83…ビット線

24、44、64、84…メモリセル

25、45…A/Dコンバータ

26、46…データバッファ

27、47…“1”データバッファ

28、48…“0”データバッファ

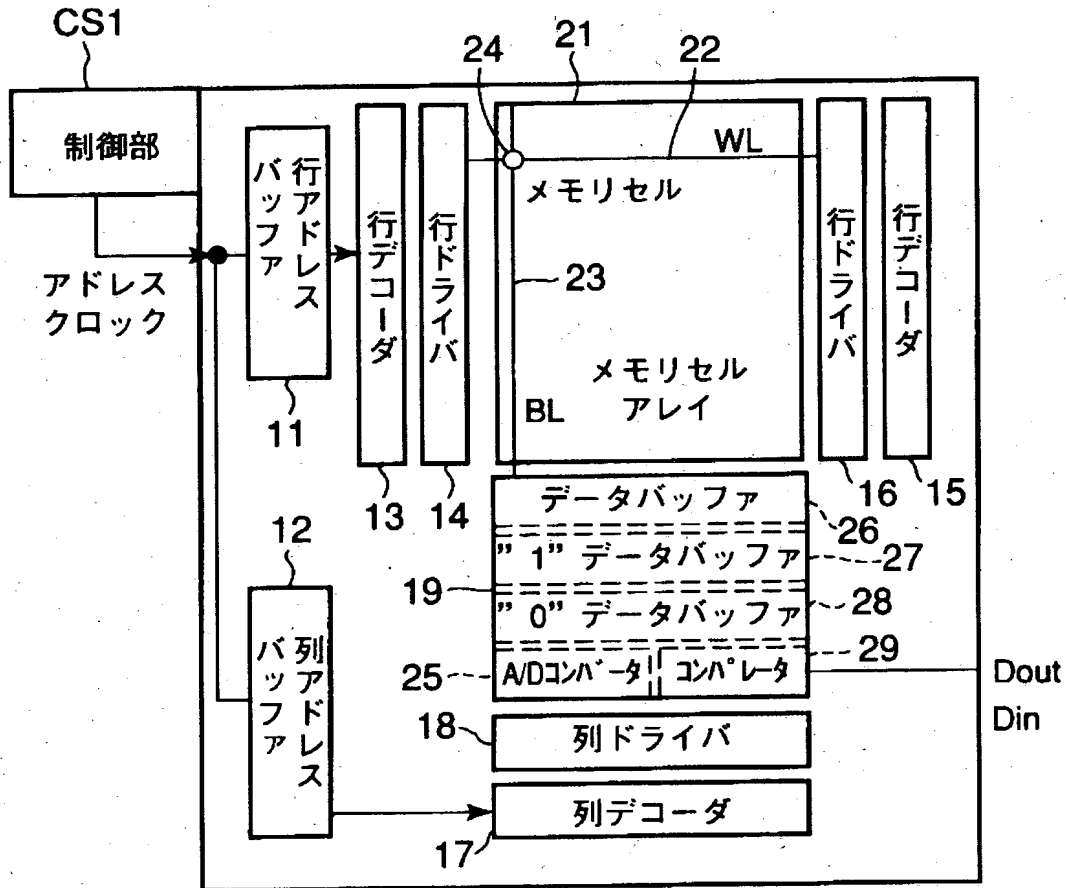
29、49…コンパレータ

59、79…センスアンプ

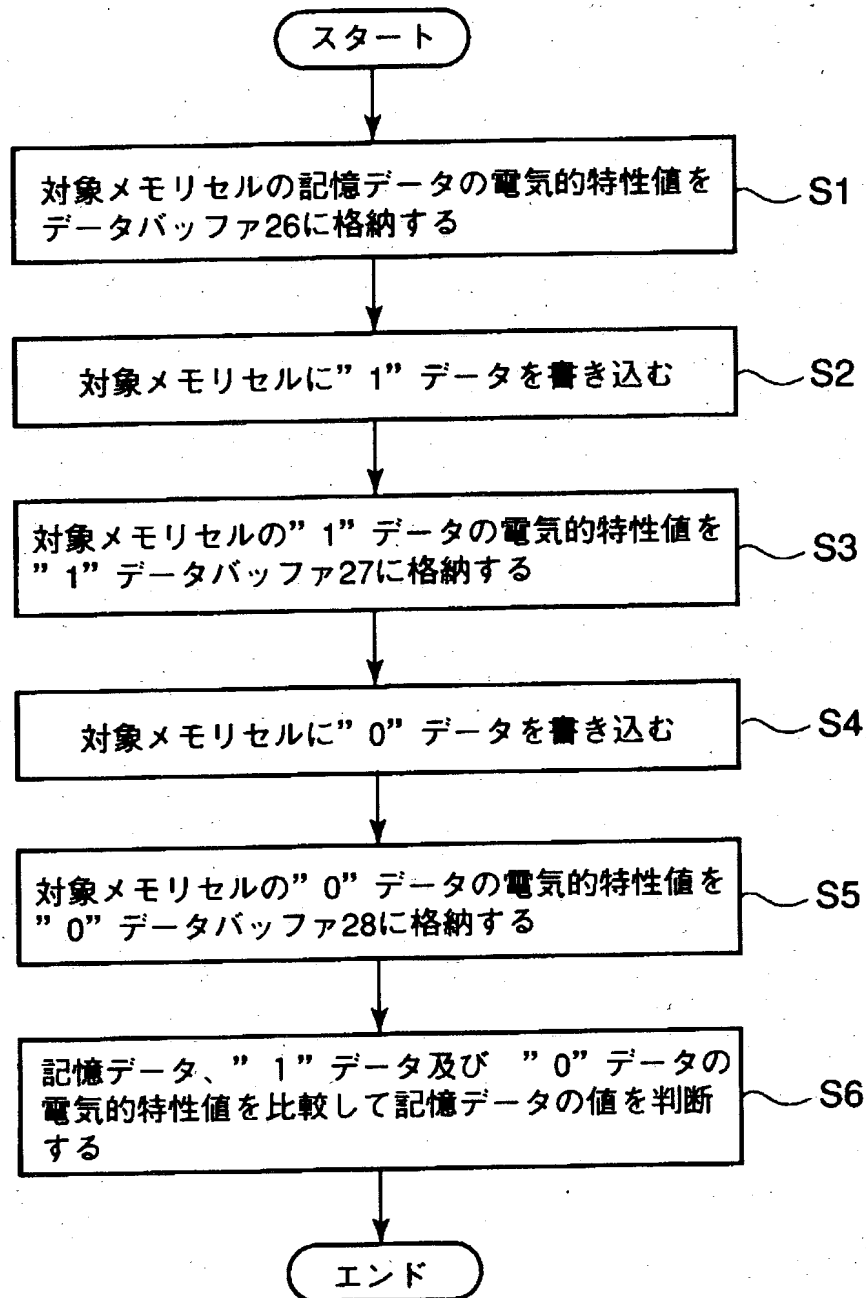
60、80…サブセンスアンプ

【書類名】 図面

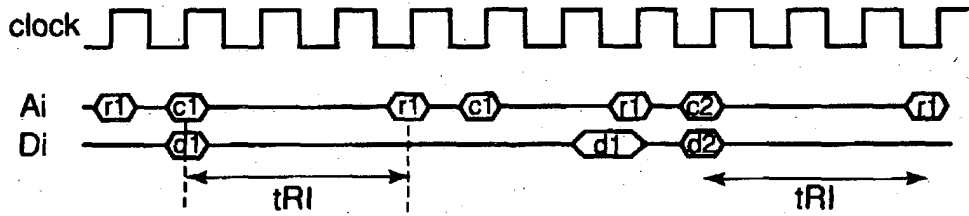
【図1】



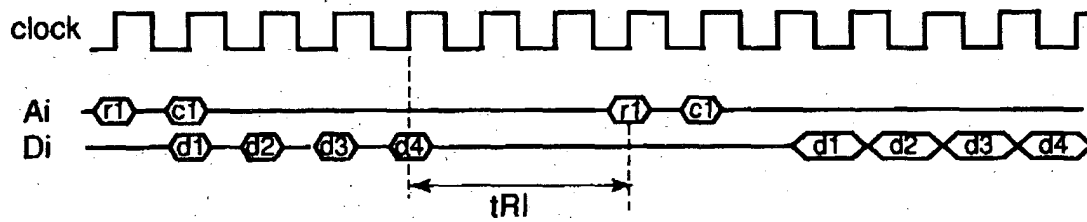
【図2】



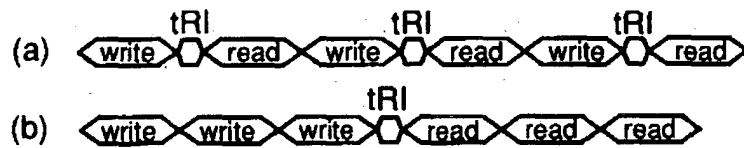
【図3】



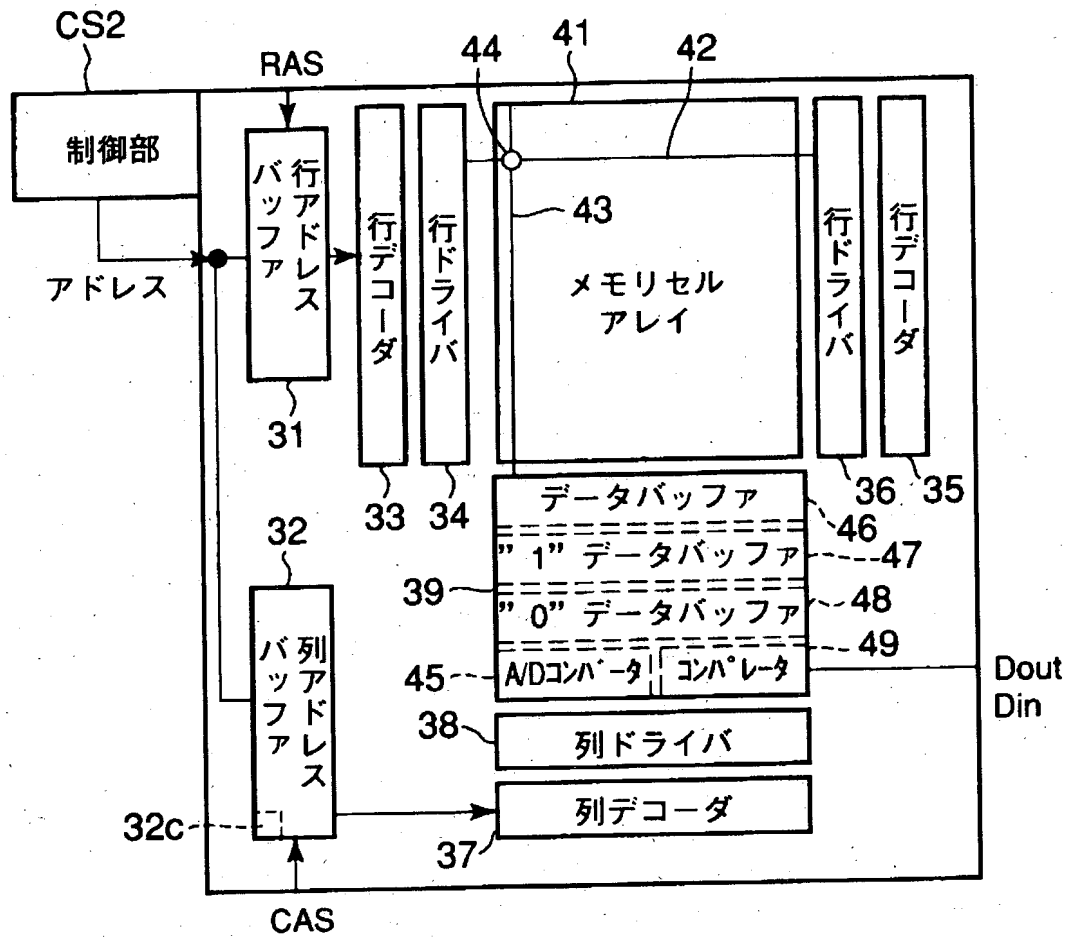
【図4】



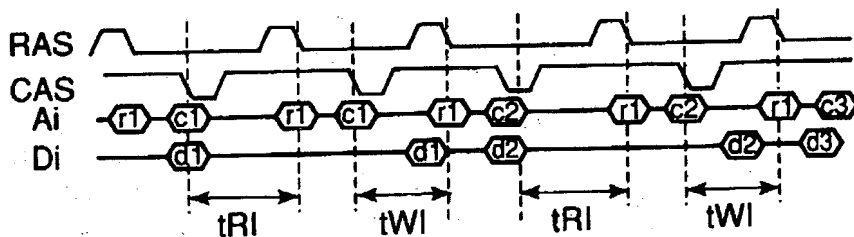
【図5】



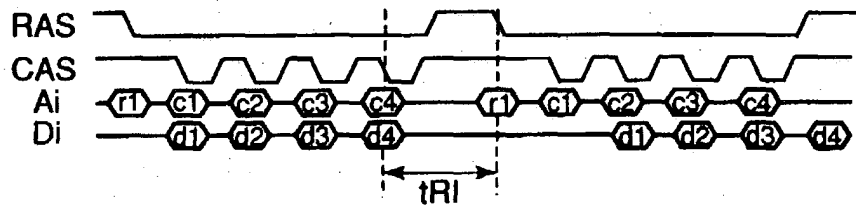
【図6】



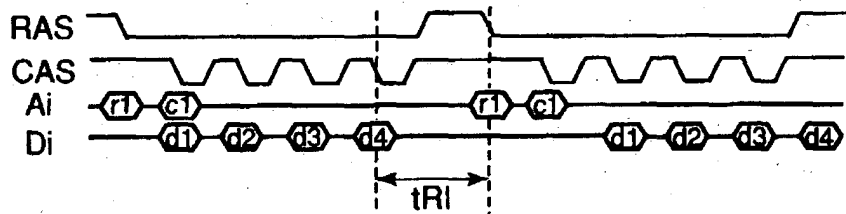
【図7】



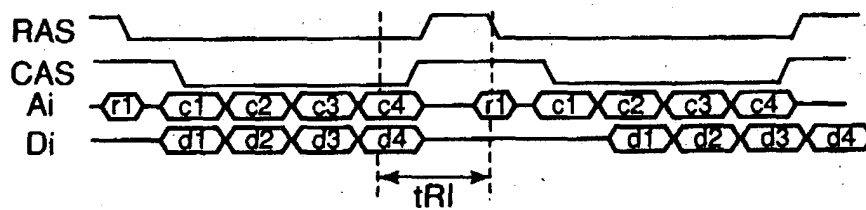
【図 8】



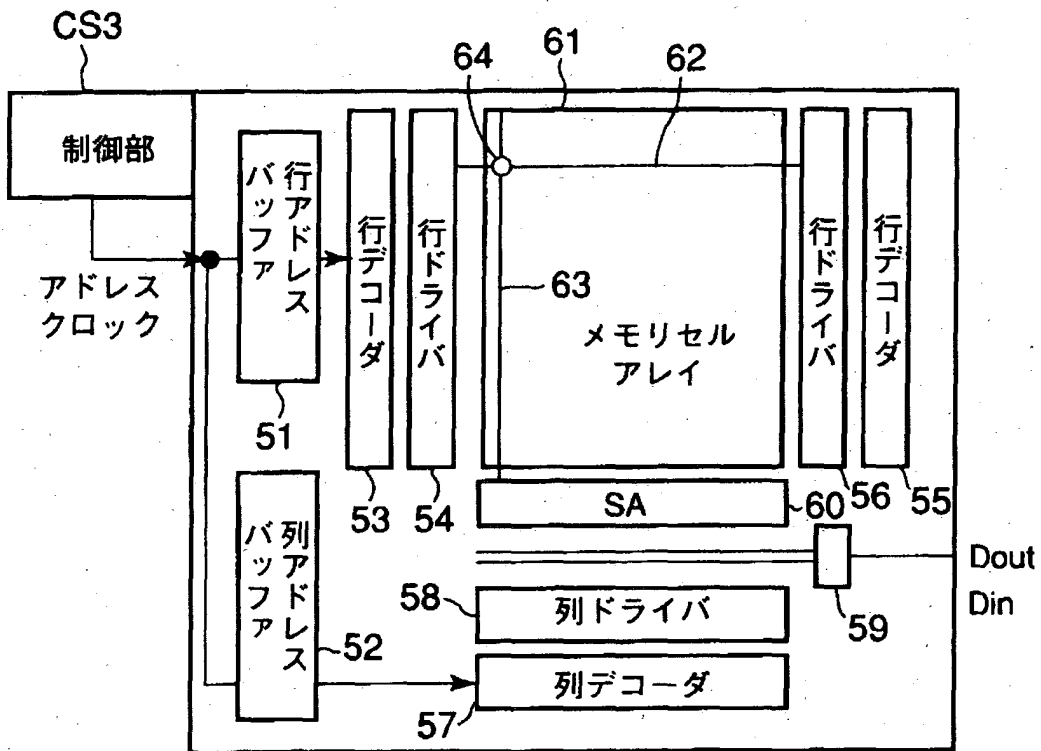
【図 9】



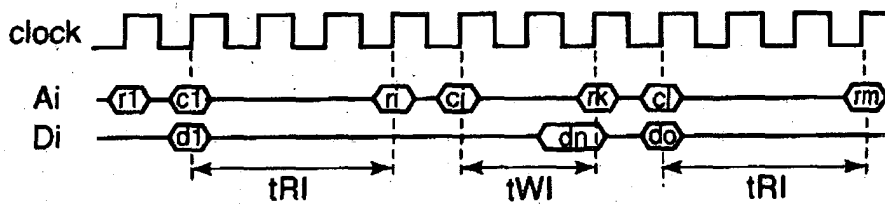
【図 10】



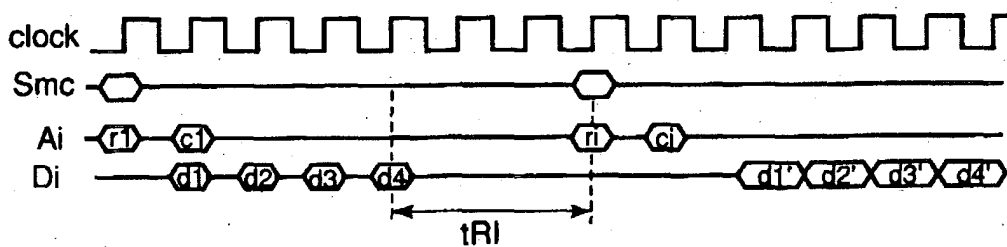
【図11】



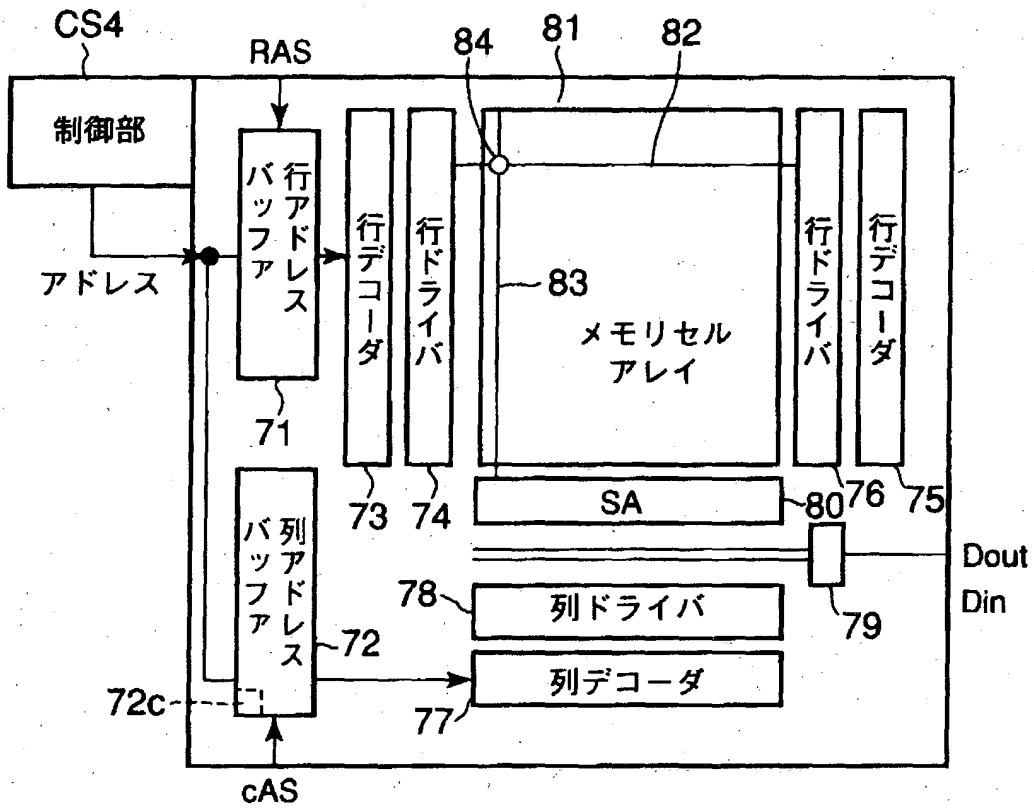
【図12】



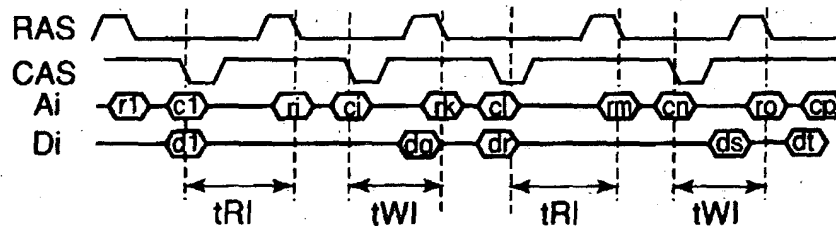
【図13】



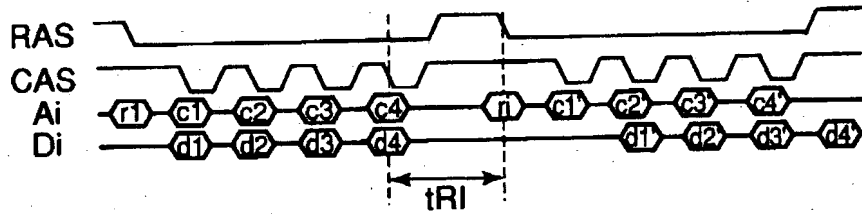
【図 14】



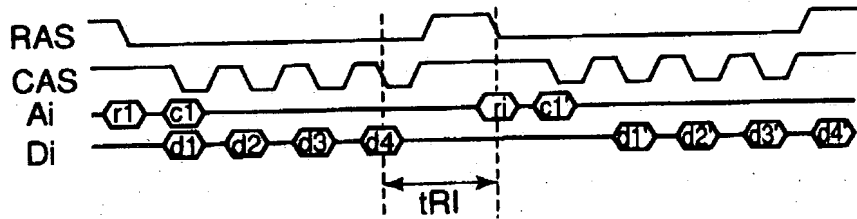
【圖 15】



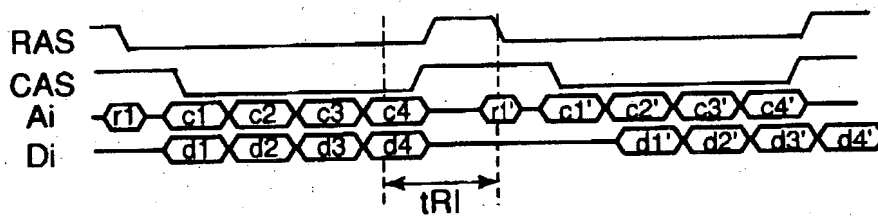
【図16】



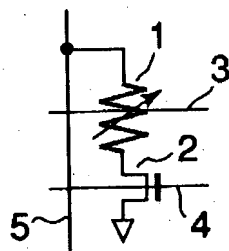
【図17】



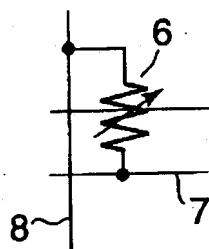
【図18】



【図 1 9】



【図 2 0】



【書類名】 要約書

【要約】

【課題】 磁気ランダムアクセスメモリの動作時間を短縮する。

【解決手段】 磁気ランダムアクセスメモリは、磁気抵抗効果素子を記憶素子とするメモリセル24が配設されたメモリセルアレイ21と、メモリセルアレイ21の各行に接続されたワード線22と、メモリセルアレイ21の各列に接続されたビット線23と、ワード線22を選択するための行デコーダ13、15と、ビット線23を選択するための列デコーダ17と、を具備する。記憶データの値を判断するため、複数のメモリセル24に記憶された記憶データに基づいた電気的特性値を検出し、また、複数のメモリセル24に基準データを連続的に書き込むと共に、複数のメモリセル24に書き込まれた基準データを連続的に読み出すことにより基準データに基づいた電気的特性値を検出し、記憶データに基づいた電気的特性値と基準データに基づいた電気的特性値とを比較する。

【選択図】 図1

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝